

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-236790

(43)Date of publication of application : 31.08.2001

(51)Int.CI.

G11C 15/04

(21)Application number : 2000-045643

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing :

23.02.2000

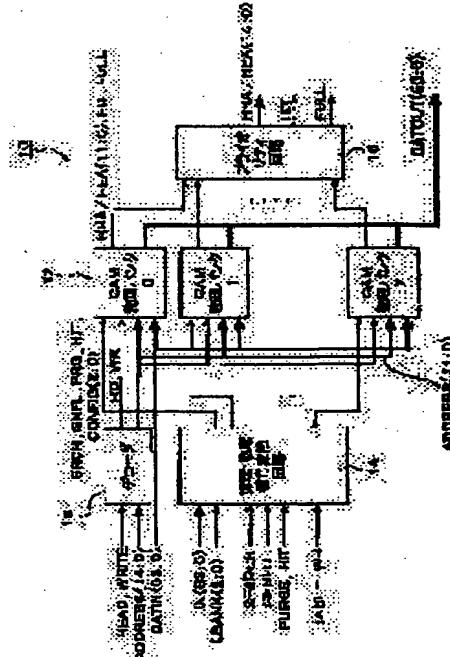
(72)Inventor : YOSHIZAWA HIROSHI
YONEDA MASATO

(54) ASSOCIATIVE MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an associative memory which has nothing useless in terms of cost and is easy to control in a system using plural associative memory of which the constitution is different.

SOLUTION: An associative memory array is divided into plural physical banks, each physical bank is constituted so as to be set to different constitution, constitution of each physical bank is set, constitution of each logic bank is set corresponding to this setting, correspondence relation between each logic bank and each physical bank is allotted, each physical bank is controlled, retrieving is performed for each physical bank corresponding to each logic bank, and retrieved results outputted from each physical bank are outputted successively conforming to priority previously set by a priority circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the associative memory which realizes the function of two or more associative memories of a configuration of differing with one device.

[0002]

[Description of the Prior Art] In recent years, rapidity and high efficiency are increasingly required by development of the Internet from the repeating installation which builds networks, such as a switching hub and a router. Since it corresponds to such a demand, with these equipments, the associative memory (CAM:Content Addressable Memory) has been used, for example for processing of classification processing (classification) of address filtering and a packet etc. more often.

[0003] CAM is used in many cases also with each layer of the layers 2, 3, and 4 of a network OSI (Open Systems Interconnection) model. In this case, the die length of search key data has thing various [to 32-256 bits or more] and sufficient with the configuration with conventional '0' and the data of '1' of Binary (Binary) CAM as a function of CAM, and what has the required function of the ternary (Ternary) CAM configuration which has data of 'X (Don't care)' in addition to this.

[0004] Therefore, as shown in drawing 12 (a), a required function is received with layers 2-4. it being alike, respectively, and in the case of the suitable device of a configuration of differing, and the example of a graphic display, Ternary (64-bit binary CAM and 64 bits) CAM and the 256-bit ternary CAM being used, or Or as shown in this drawing (b), the function of Ternary CAM was substituted for the function of binary CAM, and, in the case of the device of the same configuration of big size, and the example of a graphic display, it has realized using three 256-bit ternaries CAM.

[0005] In the example of above-mentioned drawing 12 (a), since CAM which was adapted for each function is used, a pipeline can do each processing, but when the block of the network function which controls ***** CAM consists of LSI of a fraction or one chip, the increment in the signal pin to CAM poses a problem. Moreover, in recent years, mass CAM was in use, and since small CAM of memory space was not manufactured, as shown in this drawing (b), it had the problem that mass CAM had to be carried vainly.

[0006] Moreover, in the example of this drawing (b), in order to satisfy all to CAM

- bank corresponding to this, and assigning the response relation between each [these] logic bank and each physical bank of the associative memory array 12
- Each physical bank of the associative memory array 12 is controlled so that access is correctly performed to each physical bank of the associative memory array 12 corresponding to each logic bank.

[0013] Here, Signal IN <63:0>, Signal LBANK <2:0>, Signal SEARCH, Signal GENFUL, signal PURGE_HIT, and signal TABLE_WR are inputted into logic and the physical signal transformation circuit 14. Moreover, from logic and the physical signal transformation circuit 14, Signal SRCH, Signal GNFL, signal PRG_HIT, and Signal CONFIG <2:0> are outputted to each physical bank of the associative memory array 12.

[0014] Others [signal / which is inputted into the associative memory array 12 from logic and the physical signal transformation circuit 14 / each], The signal RD generated by Signal READ and Signal WRITE, Signal WR, The signal ADDRESS generated by the decoding circuit 18 from ADDRESS <14:12> which is the high order triplet of ADDRESS <14:0> <11:0> Signal DATIN <63:0> is inputted and Signal HHA <11:0>, Signal HEA <11:0>, Signal HIT, and Signal FULL are outputted from the associative memory array 12 to the priority network 16. Signal DATOUT <63:0> is doubled and outputted from the associative memory array 12.

[0015] Finally, according to the priority set up beforehand, a priority network 16 adds an address high order triplet to Signal HHA <11:0> and Signal HEA <11:0> which are inputted from the associative memory array 12, and carries out the sequential output of Signal HHA <14:0> and the signal HEA <14:0>. In this example, the priority of the physical bank 0 of the associative memory array 12 is the highest, priority becomes low one by one below, and the priority of the physical bank 7 considers as the lowest thing. Signal HIT and Signal FULL are doubled and outputted from the priority network 16.

[0016] In this invention, a physical bank is each block when dividing the associative memory array 12 into two or more blocks physically. On the other hand, a logic bank is what assigned the room of a physical bank logically, two or more physical banks can be connected if needed, and this can also be used as one room. The room of a logic bank can be used by the concept of this logic bank, without being conscious of the room of each physical bank.

[0017] For example, as shown in drawing 2, the physical bank 0 is set as binary CAM of A bit length. Like the following binary CAM of B bit length, and the physical bank 2 for the physical bank 1 Binary CAM of C bit length, The ternary CAM of B bit length and the physical bank 5 are set up for the ternary CAM of A bit length, and the physical bank 4, and binary CAM of A bit length and the physical bank 7 are set [the physical bank 3] up for the ternary CAM of C bit length, and the physical bank 6 as ternary CAM of B bit length.

[0018] And as shown in drawing 3, binary CAM of A bit length which connected the physical banks 0 and 6 with the logic bank 0 is assigned, and the ternary CAM of binary CAM of binary CAM of the B bit length of the physical banks 1-3 and C bit length and A bit length is assigned like the following to the logic banks 1-3, respectively. Moreover, the ternary CAM of the B bit length who connected the physical banks 4 and 7 with the logic bank 4 is assigned, and the ternary CAM of C

[0026] Then, drawing 8 is the conceptual diagram showing the signal connected to a physical bank of one example. This drawing expresses the physical bank of the associative memory array 12 of CAM10 shown in drawing 1, and each signal of CONFIG <2:0>, SRCH, GNFL, PRG_HIT, WRITE, READ, DATIN <63:0>, ADDRESS <11:0>, HHA <11:0>, HEA <11:0>, HIT, FULL, and DATOUT <63:0> is connected to a physical bank.

[0027] First, CONFIG <2:0> is a signal for setting up the configuration of a physical bank of the associative memory array 12. using it as using a physical bank as binary CAM, or ternary CAM in this example, as shown in the table of drawing 9 -- making the difference in the class of that CAM, and bit length into 64,128,256 bits -- according to that difference, the functional configuration of each physical bank can be specified out of six kinds with the signal of a triplet.

[0028] Next, ADDRESS <11:0> is an input signal which specifies the memory address of this physical bank. DATIN <63:0> is entry data and the search key entry-of-data signal over this physical bank. DATOUT <63:0> is the output signal which read the entry data stored in the physical bank.

[0029] WRITE is an input signal for writing the 64-bit signal inputted as DATIN <63:0> in the memory address specified by ADDRESS <11:0>. READ is an input signal for reading the entry data stored in the memory address of the physical bank specified by ADDRESS <11:0> as DATOUT <63:0>.

[0030] SRCH is an input signal which directs retrieval initiation to this physical bank. HIT is an output signal showing whether a hit entry, i.e., the entry data which are in agreement with search key data, exists in this physical bank as a result of coincidence retrieval. It becomes high-level only when in the case of this example it is set to a low level when at least one hit entry exists in entry data, and, as for HIT, one does not exist [a hit entry].

[0031] HHA <11:0> is the output signal of the hit address (Highest Hit Address) of the ranking of the highest priority. When the above-mentioned HIT serves as a low level and a hit entry exists as HHA <11:0> as a result of coincidence retrieval, the memory address in which the high hit entry of priority is stored most, i.e., the hit address of the ranking of the highest priority, is outputted. In the case of this example, the smallest address of the hit addresses is outputted.

[0032] PRG_HIT is an input signal for eliminating this hit entry, when HIT serves as a low level and a hit entry exists in this physical bank as a result of coincidence retrieval. GNFL is an input signal for searching the empty address (HEA:Highest Empty Address) of the ranking of the highest priority in this physical bank. HEA <11:0> is outputted by inputting this GNFL.

[0033] FULL is an output signal for meaning whether the memory address by which an empty entry, i.e., the effective entry data set as the object of coincidence retrieval, is not stored in this physical bank as a result of inputting the above-mentioned GNFL to this physical bank exists. In the case of this example, FULL serves as a low level, only when an empty entry does not exist at all, and when at least one empty entry exists, it becomes high-level.

[0034] Finally, HEA <11:0> is the output signal of the empty address of the above-mentioned ranking of the highest priority. As a result of inputting GNFL, when FULL becomes high-level and an empty entry exists in a physical bank as HEA

different search key data.

[0042] Consequently, when the hit entry which is in agreement with the search key data of a total of 128 bit length exists in the entry data registered into these physical banks 1, 3, and 4, Signal HIT serves as a low level, from the physical corresponding banks 1, 3, and 4, the signal HHA <11:0> which is the hit address with which the hit entry is registered is outputted, and these Signals HIT and Signals HHA <11:0> are inputted into a priority network 16.

[0043] In addition, from the physical bank where a hit entry does not exist in the physical banks 1, 3, and 4, and the physical banks 0, 2, 5-7 where Signal SRCH is not given, high level is outputted as a signal HIT as a result of coincidence retrieval. In a priority network 16, the signal HIT inputted from each physical bank determines priority, and the signal HHA <14:0> which added the number triplet of the physical bank which had the ranking of the highest priority in the signal HHA of the ranking of the highest priority <11:0> to the high order is outputted. for example, the physical bank with the ranking of the highest priority -- '5' -- the triplet added will be set to '101' if it becomes. Moreover, it doubles and Signal HIT is also outputted.

[0044] In this example, priority is so high that the number of a physical bank is small as shown in the table of drawing 10, for example, when a hit entry exists in the physical bank 1, irrespective of the condition of the physical banks 3 and 4, from a priority network 16, the signal HHA of the physical bank 1 <11:0> is outputted, and HHA <14:12> is set to '001'. Moreover, Signal HIT is what took the AND of the signal HIT inputted from each physical banks 0-7, and if a hit entry exists in either of the physical banks 0-7, it will serve as a low level.

[0045] If similarly the logic bank 1 is specified when searching the empty address, Signal GNFL will be given from logic and the physical signal transformation circuit 14 only to the physical banks 1, 3, and 4 corresponding to this. If Signal GENFUL is inputted and retrieval of the empty address is started, as mentioned above, Signal GNFL will be given only to the physical banks 1, 3, and 4, and retrieval of the empty address will be started in these physical banks 1, 3, and 4.

[0046] Consequently, the signal FULL of the physical banks 1, 3, and 4 where the empty address exists becomes high-level, and the signal HEA <11:0> which is the empty address is outputted from the physical corresponding banks 1, 3, and 4. In addition, from the physical bank where the empty address does not exist in the physical banks 1, 3, and 4, and the physical banks 0, 2, 5-7 where Signal GNFL is not given, a low level is outputted as a signal FULL as a result of retrieval of the empty address.

[0047] In a priority network 16, the signal FULL inputted from each physical bank determines priority, and the signal HEA <14:0> which added the number triplet of the physical bank which had the ranking of the highest priority in the signal HEA of the ranking of the highest priority <11:0> according to the priority shown in the table of drawing 10 to the high order is outputted. Moreover, it doubles and Signal FULL is outputted. Signal FULL is what took the OR of the signal FULL inputted from each physical banks 0-7, and if the empty address exists in either of the physical banks 0-7, it will become high-level.

[0048] As mentioned above, since CAM10 of this invention divides the mass

memory of this invention, by the concept of a logic bank, since he does not need to be conscious of the room of a physical bank, there is an advantage that control is easy. Moreover, according to the associative memory of this invention, since retrieval actuation is performed only to the physical bank corresponding to a logic bank, the power consumption which always poses a problem can also be reduced by the associative memory in which all associative memory cells carry out simultaneous operation.

[Translation done.]

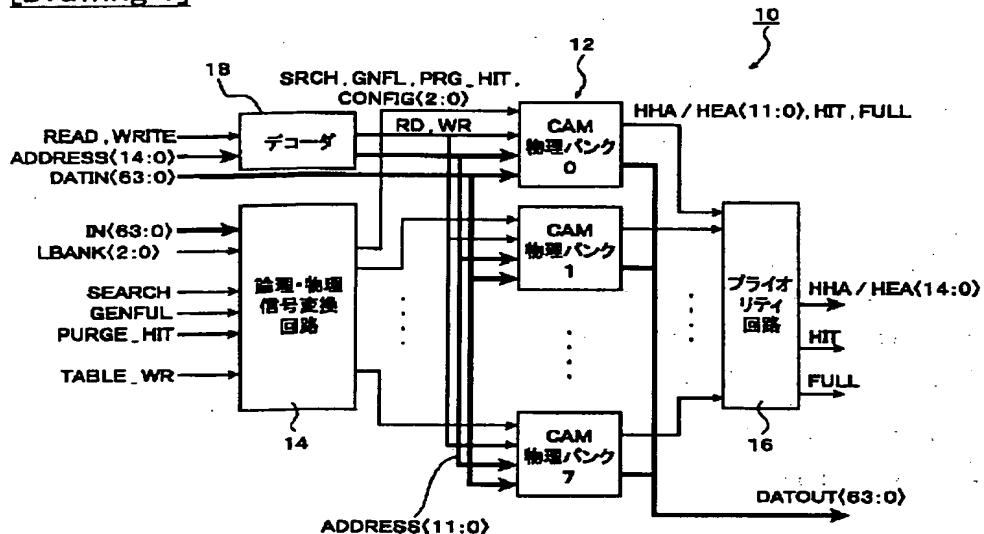
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

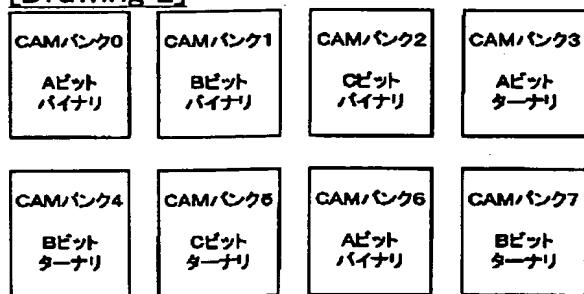
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]



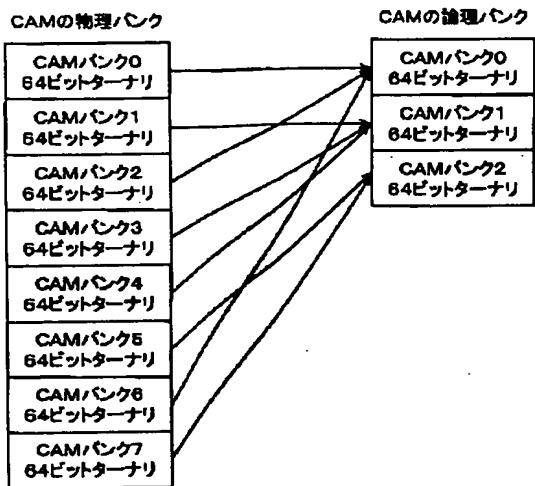
[Drawing 2]



[Drawing 3]

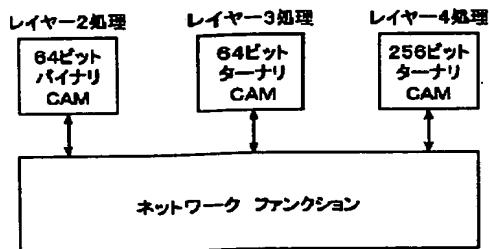
	物理/バンク0	物理/バンク1	物理/バンク2	物理/バンク3	物理/バンク4	物理/バンク5	物理/バンク6	物理/バンク7	テーブル構成
論理/バンク0	Assign	No assign	Assign	No assign	No assign	No assign	Assign	No assign	64ビット/バイナリ
論理/バンク1	No assign	Assign	No assign	Assign	Assign	No assign	No assign	No assign	128ビット/データ-ナ-リ
論理/バンク2	No assign	Assign	No assign	Assign	256ビット/データ-ナ-リ				
論理/バンク3	No assign								
論理/バンク4	No assign								
論理/バンク5	No assign								
論理/バンク6	No assign								
論理/バンク7	No assign								

[Drawing 6]

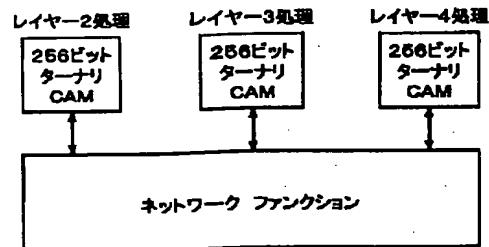


[Drawing 12]

(a)

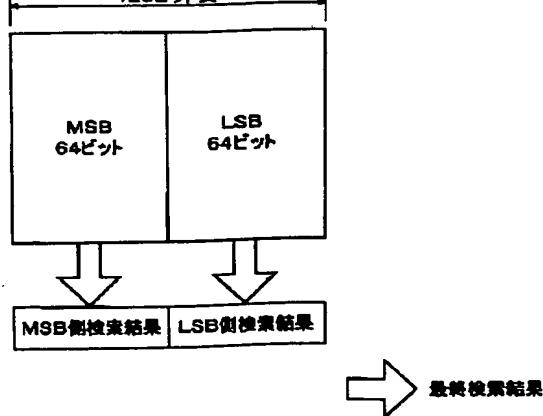


(b)



[Drawing 13]

128ビット長



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-236790

(P2001-236790A)

(43)公開日 平成13年8月31日 (2001.8.31)

(51)Int.Cl' G 11 C 15/04

識別記号 6 3 1

F I G 11 C 15/04

ラーマー' (参考)
6 3 1 D
6 3 1 G

審査請求 未請求 詞求項の数1 OL (全10頁)

(21)出願番号 特願2000-45643(P2000-45643)

(71)出願人 000001258

川崎製鉄株式会社

(22)出願日 平成12年2月23日 (2000.2.23)

兵庫県神戸市中央区北本町通1丁目1番28
号

(72)発明者 吉澤 宏

東京都千代田区内幸町2丁目2番3号 川
崎製鉄株式会社東京本社内

(72)発明者 村田 正人

東京都千代田区内幸町2丁目2番3号 川
崎製鉄株式会社東京本社内

(74)代理人 100080159

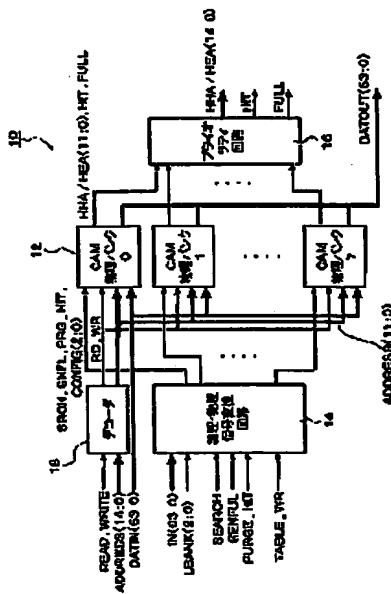
弁理士 梶原 望裕 (外1名)

(54)【発明の名称】 追憶メモリ

(57)【要約】

【課題】構成の異なる複数の追憶メモリを使用するシステムにおいて、コスト的に無駄がなく、制御しやすい追憶メモリを提供する。

【解決手段】追憶メモリアレイを複数の物理パンクに分割し、各々の物理パンクを異なる構成に設定可能に構成しておき、論理・物理信号変換回路により、各々の物理パンクの構成を設定し、これに対応して各論理パンクの構成を設定し、これら各論理パンクと各物理パンクとの間の対応関係を割り当て、各々の物理パンクを制御し、論理パンクに対応する物理パンクに対して検索を行い、各々の物理パンクから出力される検索結果について、プライオリティ回路により、あらかじめ設定されている優先順位に従って順次出力することにより、上記課題を解決する。



(2)

特開2001-236790

1

2

【特許請求の範囲】

【請求項 1】複数の物理バンクに分割され、各々の前記物理バンクを異なる構成に設定可能に構成された追想メモリアレイと、

各々の前記物理バンクの構成を設定し、これに対応して各論理バンクの構成を設定し、これら各論理バンクと各物理バンクとの間の対応関係を割り当てて、各々の前記物理バンクを制御する論理・物理信号変換回路と、

前記論理バンクに対応する前記物理バンクに対して検索を行い、各々の前記物理バンクから出力される検索結果について、あらかじめ設定されている優先順位に従って順次出力するプライオリティ回路とを備えていることを特徴とする追想メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、異なる構成の複数の追想メモリの機能を1つのデバイスで実現する追想メモリに関するものである。

【0002】

【従来の技術】近年、インターネットの発展により、例えばスイッチングハブやルータ等のネットワークを構築する中端装置に対して、高速性、高機能が要求されるようになってきている。このような要求に対応するために、これらの装置では、例えばアドレスフィルタリング、パケットの分類処理（クラシフィケーション）等の処理に追想メモリ（CAM: Content Addressable Memory）を使用することが多くなってきた。

【0003】CAMは、ネットワークのOSI（Open Systems Interconnection）モデルのレイヤー2、3、4の各レイヤーでも使用されることが多い。この場合、検索キーデータの長さは32～256ビット以上まで様々であり、CAMの機能としては、従来の‘0’と‘1’のみのデータを持つバイナリ（Binary）CAMの構成で十分なものや、これに加えて‘X（Don't care）’のデータを持つターナリ（Ternary）CAM構成の機能が必要なものもある。

【0004】従って、図12（a）に示すように、レイヤー2～4で必要な機能に対応して、それぞれに適した異なる構成のデバイス、図示例の場合、64ビットのバイナリCAM、64ビットのターナリCAM、256ビットのターナリCAMを使用したり、あるいは、同図（b）に示すように、バイナリCAMの機能をターナリCAMの機能で代用して、大きなサイズの同じ構成のデバイス、図示例の場合、256ビットの3個のターナリCAMを使用して実現している。

【0005】上記図12（a）の例では、それぞれの機能に適応したCAMを使用するため、各処理をバイブルインにできるが、図中各CAMを制御するネットワークファンクションのブロックが少数または1チップのLSIで構成されている場合にはCAMへの信号ピンの増加

10 が問題となる。また、近年では大容量のCAMが主流であり、メモリ容量の小さいCAMは製造されないため、同図（b）のように、気軽に大容量のCAMを搭載せざるをえないという問題があった。

【0006】また、同図（b）の例では、多ビットのCAMで全てを満足させようとするために、例えば64ビット長のテーブルを128ビット長のCAMで実現する場合、図13に示すように、データをMSB（最上位ビット）側とLSB（最下位ビット）側に分割登録し、LSB側をマスクしてMSB側を検索し、逆に、MSB側をマスクしてLSB側を検索した後に結果を得るという外部での処理が必要になる。従って、外部回路が複雑になるという問題点があった。

【0007】

【発明が解決しようとする課題】本発明の目的は、前記従来技術に基づく問題点を解消し、構成の異なる複数の追想メモリを使用するシステムにおいて、コスト的に無駄がなく、制御しやすい追想メモリを提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するため、本発明は、複数の物理バンクに分割され、各々の前記物理バンクを異なる構成に設定可能に構成された追想メモリアレイと、各々の前記物理バンクの構成を設定し、これに対応して各論理バンクの構成を設定し、これら各論理バンクと各物理バンクとの間の対応関係を割り当てて、各々の前記物理バンクを制御する論理・物理信号変換回路と、前記論理バンクに対応する前記物理バンクに対して検索を行い、各々の前記物理バンクから出力される検索結果について、あらかじめ設定されている優先順位に従って順次出力するプライオリティ回路とを備えていることを特徴とする追想メモリを提供するものである。

【0009】

【発明の実施の形態】以下に、添付の図面に示す好適実施例に基づいて、本発明の追想メモリを詳細に説明する。

【0010】図1は、本発明の追想メモリの一実施例の構成概略図である。本発明の追想メモリ（以下、CAMという）10は、バイナリCAM/ターナリCAMの種類の違いや、ビット長の違いを持つ、異なる構成の複数のCAMの機能を1つのデバイスで実現することができるよう構成したもので、同図に示すように、追想メモリアレイ12と、論理・物理信号変換回路14と、プライオリティ回路16と、デコーダ18とを備えている。

【0011】まず、追想メモリアレイ12は、ブロック分割された複数の物理バンクから構成されたもので、図示例の場合、物理バンク0～7までの8個のブロックに分割されている。各々の物理バンクの構成は、論理・物理信号変換回路14から入力される信号CONFIGに

(3)

特開2001-236790

3

応じて、バイナリCAMあるいはターナリCAMとして使用するかを設定することができ、また、あらかじめ用意されている複数種類のビット長の中から任意のビット長に設定することができる。

【0012】統いて、論理・物理信号変換回路14は、必要とするCAMの構成に応じて、連想メモリアレイ12の各々の物理パンクの構成を設定し、これに対応して各論理パンクの構成を設定し、これら各論理パンクと連想メモリアレイ12の各物理パンクとの間の対応関係を割り当てることによって、各論理パンクに対応する連想メモリアレイ12の各物理パンクに対して正しくアクセスが行われるように、連想メモリアレイ12の各物理パンクを制御する。

【0013】ここで、論理・物理信号変換回路14には、信号IN<63:0>、信号LBANK<2:0>、信号SEARCH、信号GENFUL、信号PURGE_HIT、信号TABLE_WRが入力されている。また、論理・物理信号変換回路14からは、連想メモリアレイ12の各々の物理パンクに対して、信号SRCH、信号GNFL、信号PRG_HIT、信号CONF<2:0>が出力されている。

【0014】連想メモリアレイ12には、論理・物理信号変換回路14から入力される各信号の他、信号READ、信号WRITEにより生成される信号RD、信号WR、ADDRESS<14:0>の上位3ビットであるADDRESS<14:12>からデコード回路18によって生成される信号ADDRESS<11:0>、信号DATIN<63:0>が入力され、連想メモリアレイ12からは、プライオリティ回路16に対して、信号HHA<11:0>、信号HEA<11:0>、信号HIT、信号FULLが出力されている。連想メモリアレイ12からは、信号DATOUT<63:0>も合わせて出力されている。

【0015】最後に、プライオリティ回路16は、あらかじめ設定されている優先順位に従って、連想メモリアレイ12から入力される信号HHA<11:0>、信号HEA<11:0>にアドレス上位3ビットを附加して信号HHA<14:0>、信号HEA<14:0>を順次出力する。本実施例では、連想メモリアレイ12の物理パンク0の優先順位が最も高く、以下順次優先順位が低くなり、物理パンク7の優先順位が最も低いものとする。プライオリティ回路16からは、信号HIT、信号FULLも合わせて出力されている。

【0016】本発明において、物理パンクとは、連想メモリアレイ12を物理的に複数個のブロックに分割した時の各々のブロックのことである。これに対して、論理パンクとは、論理的に物理パンクのメモリ空間を割り当てたもので、必要に応じて複数個の物理パンクを追加し、これを1つのメモリ空間として使用することもできる。この論理パンクの概念により、個々の物理パンクの

メモリ空間を意識することなく、論理パンクのメモリ空間を使用することができる。

【0017】例えば、図2に示すように、物理パンク0をAビット長のバイナリCAMに設定し、以下同様に、物理パンク1をBビット長のバイナリCAM、物理パンク2をCビット長のバイナリCAM、物理パンク3をAビット長のターナリCAM、物理パンク4をBビット長のターナリCAM、物理パンク5をCビット長のターナリCAM、物理パンク6をAビット長のバイナリCAM、物理パンク7をBビット長のターナリCAMとして設定する。

【0018】そして、図3に示すように、論理パンク0に、物理パンク0、6を連結したAビット長のバイナリCAMを割り当てる、以下同様に、論理パンク1～3に、それぞれ物理パンク1～3のBビット長のバイナリCAM、Cビット長のバイナリCAM、Aビット長のターナリCAMを割り当てる。また、論理パンク4に、物理パンク4、7を連結したBビット長のターナリCAMを割り当てる、論理パンク5に物理パンク5のCビット長のターナリCAMを割り当てる。

【0019】本発明のCAM10では、必要とする連想メモリの構成、すなわち、バイナリCAMとして使用するのか、ターナリCAMとして使用するのかのCAMの種類や、必要なビット長に応じて、図2に示すように、連想メモリアレイ12の各々の物理パンクの構成を決定し、必要なワード数に応じて、図3に示すように、複数の物理パンクを連結して各々の論理パンクを構成することにより、構成の異なる複数のCAMの機能を1つのデバイスで実現することができる。

【0020】以下、図4～図10に示す実施例を挙げて、本発明のCAM10の動作を具体的に説明する。

【0021】まず、図4は、図1のCAM10における各論理パンクと各物理パンクとの対応関係を表す一実施例の概念図である。本実施例の場合、同図に示すように、物理パンク0、2、6は64ビット長のバイナリCAMとして設定され、以下同様に、物理パンク1、3、4は128ビット長のターナリCAM、物理パンク5、7は256ビット長のターナリCAMとして設定されている。なお、各々の物理パンクの詳細については後述する。

【0022】ここで、各々の物理パンクの構成は、既に述べたように、論理・物理信号変換回路14から各々の物理パンクに対して出力される信号CONF<2:0>によって設定される。この信号CONF<2:0>は、例えば論理・物理信号変換回路14の内部にある3ビット×8個分のレジスタ（図示省略）によって定義され、各々のレジスタは、信号TABLE_WRを与えることにより、CAM10の外部から設定される。

【0023】また、図示例では、論理パンク0に物理パンク0、2、6を連結して得られる64ビット長、12

50

(4)

特開2001-236790

5

KワードのバイナリCAM、論理バンク1に物理バンク1、3、4を追結して得られる128ビット長、6KワードのターナリCAM、論理バンク2に物理バンク5、7を追結して得られる256ビット長、2KワードのターナリCAMがそれぞれ割り当てられている。図4の各論理バンクと各物理バンクとの対応関係を図5の表に示す。

【0024】論理バンクの指定は、信号LBANK<2:0>で行われる。論理バンクと物理バンクとの対応関係は、図6に示すように、例えば論理・物理信号交換回路14の内部にある論理物理交換テーブルによって定義される。この論理物理交換テーブルは、図5に示す各論理バンクと各物理バンクとの対応関係の表に対応するもので、図5の「Assig(割り当てあり)」、「No Assig(割り当てなし)」にそれぞれ対応して「1」、「0」が設定されている。

【0025】この論理物理交換テーブルには、信号TABLE_WRを与えることにより、図7に、その対応関係を表すように、信号IN<63:0>から入力される値が設定される。各論理バンクと各物理バンクとの対応関係に基づいて、信号CONFIG<2:0>を定義する8個のレジスタおよび図6の論理物理交換テーブルを内容を設定することにより、信号LBANK<2:0>で論理バンクを指定した時に、これに対応する物理バンクを割り切ることができる。

【0026】統いて、図8は、物理バンクに接続される信号を表す一実施例の概念図である。同図は、図1に示すCAM10の追想メモリアレイ12の物理バンクを表すもので、物理バンクには、CONFIG<2:0>、SRCH、GNFL、PRG_HIT、WRITE、READ、DATIN<63:0>、ADDRESS<11:0>、HHA<11:0>、HEA<11:0>、HIT、FULL、DATOUT<63:0>の各信号が接続される。

【0027】まず、CONFIG<2:0>は、追想メモリアレイ12の物理バンクの構成を設定するための信号である。本実施例では、図9の表に示すように、物理バンクをバイナリCAMとして使用するのか、あるいは、ターナリCAMとして使用するのかのCAMの種類の違い、また、ビット長を64、128、256ビットとするのかの違いに応じて、3ビットの信号により、各々の物理バンクの機能構成を6通りの中から指定することができる。

【0028】次に、ADDRESS<11:0>は、この物理バンクのメモリアドレスを指定する入力信号である。DATIN<63:0>は、この物理バンクに対するエントリデータや検索キーデータの入力信号である。DATOUT<63:0>は、物理バンクに格納されているエントリデータを読み出した出力信号である。

【0029】WRITEは、DATIN<63:0>と 50

6

して入力される64ビットの信号を、ADDRESS<11:0>によって指定されるメモリアドレスに書き込むための入力信号である。READは、ADDRESS<11:0>によって指定される物理バンクのメモリアドレスに格納されているエントリデータをDATOUT<63:0>として読み出すための入力信号である。

【0030】SRCHは、この物理バンクに対して検索開始を指示する入力信号である。HITは、一致検索の結果、この物理バンク内にヒットエントリ、すなわち、検索キーデータと一致するエントリデータが存在するか否かを表す出力信号である。HITは、本実施例の場合、エントリデータの中にヒットエントリが1つでも存在する場合にはローレベルとなり、ヒットエントリが1つも存在しない場合にはハイレベルとなる。

【0031】HHA<11:0>は、最優先順位のヒットアドレス(Highest Hit Address)の出力信号である。HHA<11:0>としては、一致検索の結果、前述のHITがローレベルとなり、ヒットエントリが存在する場合に、最も優先順位の高いヒットエントリが格納されているメモリアドレス、すなわち、最優先順位のヒットアドレスが输出される。本実施例の場合、ヒットアドレスの内の最も小さいアドレスが输出される。

【0032】PRG_HITは、一致検索の結果、HITがローレベルとなり、この物理バンク内にヒットエントリが存在する場合に、このヒットエントリを消去するための入力信号である。GNFLは、この物理バンク内の最優先順位のエンプティアドレス(HEA: Highest Empty Address)を検索するための入力信号である。このGNFLを入力することにより、HEA<11:0>が输出される。

【0033】FULLは、この物理バンクに対して前述のGNFLを入力した結果、この物理バンク内にエンプティエントリ、すなわち、一致検索の対象となる有効なエントリデータが格納されていないメモリアドレスが存在するかどうかを表すための出力信号である。FULLは、本実施例の場合、エンプティエントリが全く存在しない場合にのみローレベルとなり、1つでもエンプティエントリが存在する場合にはハイレベルとなる。

【0034】最後に、HEA<11:0>は、前述の最優先順位のエンプティアドレスの出力信号である。HEA<11:0>としては、GNFLを入力した結果、FULLしがハイレベルとなり、物理バンク内にエンプティエントリが存在する場合に、最も優先順位の高いエンプティエントリが格納されているメモリアドレス、すなわち、最優先順位のエンプティアドレスの出力信号である。本実施例では、エンプティアドレスの内の最も小さいアドレスが输出される。

【0035】図示例の物理バンクは、物理的には64ビット長、4Kワードでメモリ容量256KビットのターナリCAM構成の追想メモリアレイのブロックである。

例えば、この物理バンクを128ビット長のバイナリCAMとして設定した場合、異なる64ビットの検索キーデータを用いて2回の一一致検索が行われ、検索結果のANDがとられて最終的な検索結果として出力される。これにより、見かけ上、128ビット長のCAMとして動作する。

【0036】この場合、物理バンクのワード数は、見かけ上半分の2Kワードになる。従って、128ビット長、4KワードのCAMが必要な場合には、2つの物理バンクを連鎖して1つの論理バンクとして使用することになる。なお、ターナリCAMの「X (Don't Care)」のデータを適宜設定することにより、ターナリCAMをバイナリCAMとして使用することができる。また、256ビット長のCAMの場合には合計4回のAND検索が行われる。

【0037】図1に示すCAM10において、信号CO_NFIG<2:0>、信号SRCH、信号GNFL、信号PRG_HIT、信号WR、信号RD、信号DATIN<63:0>、信号ADDRESS<11:0>、信号HHA<11:0>、信号HEA<11:0>、信号HIT、信号FULL、信号DATOUT<63:0>は、図8に示す物理バンクに接続される各々の信号に対応する信号である。

【0038】なお、信号SRCH、信号GNFL、信号PRG_HITは、それぞれ論理・物理信号交換回路14に入力される信号SEARCH、信号GENFUL、信号PURGE_HITと図6の論理物理変換テーブルからの出力との論理演算をとることにより、信号LBANK<2:0>によって指定される論理バンクで、なおかつ、論理物理変換テーブルに「1」が設定されている物理バンクに対してのみ出力される信号である。

【0039】図1に示すCAM10において、まず、一致検索を行う前に、各々の論理バンクに対応する追憶メモリアレイ12の各物理メモリに対してエントリデータを書き込む。エントリデータは、信号WRITEを与えることにより、信号ADDRESS<14:0>で指定される論理バンクのメモリアドレス、すなわち、この論理バンクに対応する物理バンクのメモリアドレスに対して信号DATIN<63:0>が書き込まれる。

【0040】一例として、論理バンク1の128ビット長のターナリCAMに対して一致検索を行う場合、まず、信号LBANK<2:0>=「001」(2進数)として論理バンク1を指定する。この指定により、図6の論理物理変換テーブルの論理バンク1に対応する行の物理バンクの割り当ての設定=「01011000」が出力され、対応する物理バンク1、3、4に対してのみ信号SRCH、信号GNFL、信号PRG_HITが与えられる。

【0041】例えば、DATIN<63:0>として検索キーデータを入力し、かつ、信号SEARCHを入力

して検索の開始を指示すると、論理・物理信号交換回路14から、物理バンク1、3、4に対してのみ信号SRCHが与えられ、これらの物理バンク1、3、4でのみ一致検索が開始される。論理バンク1は128ビット長のターナリCAMであるから、既に述べたように、異なる64ビットの検索キーデータを用いて2回のAND検索が行われる。

【0042】その結果、これらの物理バンク1、3、4に登録されたエントリデータの中で、合計128ビット長の検索キーデータに一致するヒットエントリが存在する場合、信号HITがローレベルとなり、対応する物理バンク1、3、4から、ヒットエントリが登録されているヒットアドレスである信号HHA<11:0>が出力され、これらの信号HITおよび信号HHA<11:0>はプライオリティ回路16に入力される。

【0043】なお、一致検索の結果、物理バンク1、3、4の中でヒットエントリが存在しない物理バンク、および、信号SRCHが与えられていない物理バンク0、2、5～7からは、信号HITとしてハイレベルが出力される。プライオリティ回路16では、各々の物理バンクから入力される信号HITによって優先順位を決定し、最優先順位の信号HHA<11:0>に最優先順位を持った物理バンクの番号3ビットを上位に付加した信号HHA<14:0>を出力する。例えば、最優先順位を持った物理バンクが「5」ならば、付加される3ビットは「101」となる。また、合わせて信号HITも出力される。

【0044】本実施例では、図10の表に示すように、物理バンクの番号が小さいほど優先順位が高く、例えば物理バンク1にヒットエントリが存在する場合には、物理バンク3、4の状態に係わらず、プライオリティ回路16からは、物理バンク1の信号HHA<11:0>が出力され、HHA<14:12>は「001」となる。また、信号HITは、各々の物理バンク0～7から入力される信号HITの論理積をとったもので、物理バンク0～7のいずれかにヒットエントリが存在すればローレベルとなる。

【0045】同様に、エンプティアドレスの検索を行う場合、論理バンク1を指定すると、これに対応する物理バンク1、3、4に対してのみ、論理・物理信号交換回路14から信号GNFLが与えられる。信号GENFULを入力して、エンプティアドレスの検索を開始すると、前述のように、物理バンク1、3、4に対してのみ信号GNFLが与えられ、これらの物理バンク1、3、4においてエンプティアドレスの検索が開始される。

【0046】その結果、エンプティアドレスが存在する物理バンク1、3、4の信号FULはハイレベルとなり、対応する物理バンク1、3、4から、エンプティアドレスである信号HEA<11:0>が出力される。なお、エンプティアドレスの検索の結果、物理バンク1、

(6)

特開2001-236790

9

3、4の中でエンブティアドレステーブルが存在しない物理バンク、および、信号GNFしが与えられていない物理バンク0、2、5～7からは、信号FULしとしてローレベルが出力される。

【0047】プライオリティ回路16では、各々の物理バンクから入力される信号FULしによって優先順位を決定し、図10の表に示す優先順位に従って最優先順位の信号HEA<11:0>に最優先順位を持った物理バンクの番号3ビットを上位に付加した信号HEA<14:0>を出力する。また、合わせて信号FULしも出力される。信号FULは、各々の物理バンク0～7から入力される信号FULしの論理和をとったもので、物理バンク0～7のいずれかにエンブティアドレステーブルが存在すればハイレベルとなる。

【0048】以上のように、本発明のCAM10は、大容量の連想メモリアレイ12を複数の物理バンクのブロックに分割し、これらの物理バンクを論理バンクとして再構成するので、大規模な連想メモリを使用用途に応じて分割して使用することができる。また、大容量の連想メモリアレイ12を分割して換案動作を行わせるため、つまり、論理バンクに対応する物理バンクに対してのみ換案動作が行われるため、消費電力を低減することができる。

【0049】なお、図示例では、連想メモリアレイ12を8つの物理バンクに分割した場合を例に挙げているが、本発明はこれに限定されず、2つ以上の物理バンクに分割してあればよい。また、実施例では、設定可能なビット長を64、128、256ビットの3種類としたが、これも既定されない。また、別の例を図11に示すように、物理バンクの構成の設定や、論理バンクと物理バンクとの対応関係の設定も何ら限定されず自由に設定することができる。

【0050】また、上記実施例では、物理バンクの構成を決定する要素として、バイナリCAMなのかターナリCAMなのかというCAMの種類、およびビット長の2つを挙げて説明している。しかし、本発明はこれに限定されず、例えばこれ以外の機能的な違い等を物理バンクの構成を決定する要素として選択可能としてもよい。また、物理バンクの構成を決定する要素として、本発明は、少なくとも1つの要素を含んでいればよい。

【0051】さらに、上記実施例では、連想メモリアレイ12、論理・物理信号交換回路14、プライオリティ回路16、デコーダ18の具体的な構成回路を図示していないが、本発明では、これらの具体的な回路構成は何ら限定されず、上述する機能を実現する回路であればどのような構成のものであってもよい。特に、論理・物理信号交換回路14は、レジスタやテーブルを用いて構成する場合を例示したが、何ら限定されず、他の回路を用いて構成してもよい。

【0052】本発明の連想メモリは、基本的に以上によ

10

うなものである。以上、本発明の連想メモリについて詳細に説明したが、本発明は上記実施例に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【0053】

【発明の効果】以上詳細に説明した様に、本発明の連想メモリは、大容量の連想メモリアレイを複数の物理バンクのブロックに分割し、これら各々の物理バンクを異なる構成に設定可能に構成しておき、これらの物理バンクを論理バンクとして再構成して使用するようにしたものである。これにより、本発明の連想メモリによれば、大規模な連想メモリを使用用途に応じて分割して使用することができ、構成の異なる複数の連想メモリの機能を1つのデバイスで実現することができるため、コストを削減することができる。また、本発明の連想メモリによれば、論理バンクの概念により、物理バンクのメモリ空間を意識する必要がないため、制御が容易であるという利点がある。また、本発明の連想メモリによれば、論理バンクに対応する物理バンクに対してのみ換案動作が行われるため、全ての連想メモリセルが同時動作する連想メモリでは常に問題となる消費電力も低減することができる。

【図面の簡単な説明】

【図1】 本発明の連想メモリの一実施例の構成概略図である。

【図2】 各々の各物理バンクの構成を設定した状態を表す一実施例の概念図である。

【図3】 各論理バンクと各物理バンクとの間の対応関係を割り当てた状態を表す一実施例の概念図である。

【図4】 各論理バンクと各物理バンクとの対応関係を表す一実施例の概念図である。

【図5】 各論理バンクと各物理バンクとの対応関係を表す一実施例の表である。

【図6】 各論理バンクと各物理バンクとの対応関係を表す一実施例のテーブルである。

【図7】 図8のテーブルと信号IN<63:0>の各ビットとの間の関係を表す一実施例の表である。

【図8】 物理バンクに接続される信号を表す一実施例の概念図である。

【図9】 信号CONF1G<2:0>と連想メモリアレイの物理バンクの構成との対応を表す一実施例の表である。

【図10】 物理バンク間の優先順位を表す一実施例の表である。

【図11】 各論理バンクと各物理バンクとの対応関係を表す別の実施例の概念図である。

【図12】 (a) および (b) は、従来の連想メモリを利用したシステムの一例の構成概略図である。

【図13】 従来の連想メモリを利用したシステムの一例の構成概略図である。

50

(7)

特開2001-236790

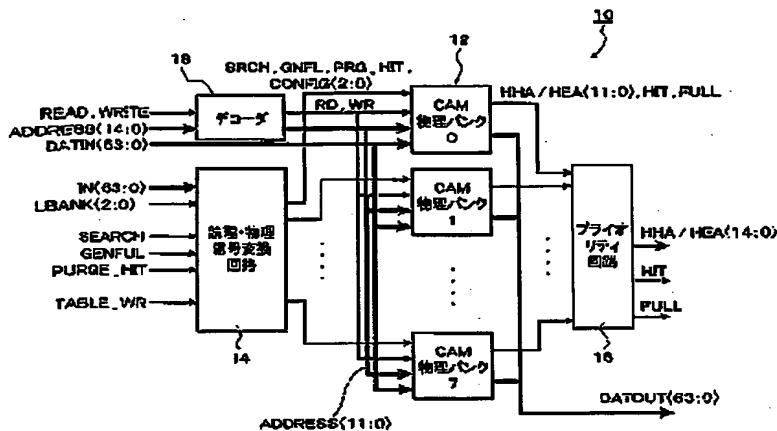
11

12

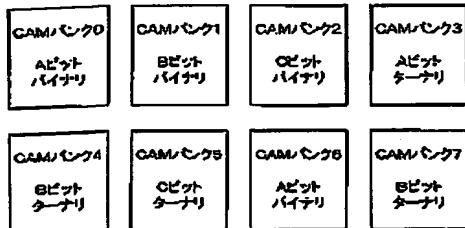
【符号の説明】
 10 連想メモリ
 12 連想メモリアレイ

* 14 論理・物理信号交換回路
 16 ブライオリティ回路
 * 18 デコーダ

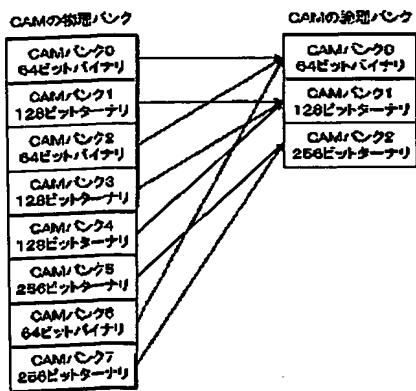
【図1】



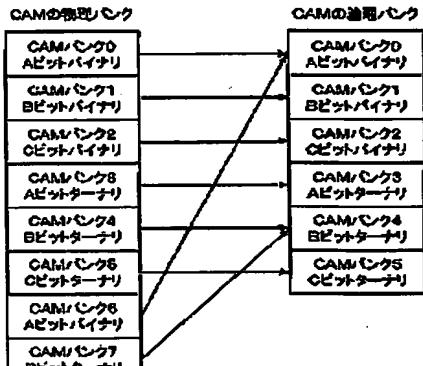
【図2】



【図4】



【図3】



【図9】

	CONFIG(2:0)
64ビット/バイナリ	000
128ビット/バイナリ	001
256ビット/バイナリ	010
64ビットターナリ	100
128ビットターナリ	101
256ビットターナリ	110

(8)

特開2001-236790

【図5】

	物理ハシク0	物理ハシク1	物理ハシク2	物理ハシク3	物理ハシク4	物理ハシク5	物理ハシク6	物理ハシク7	テーブル構成
物理ハシク0	Assign	No assign	64ビットバイナリ						
物理ハシク1	No assign	Assign	No assign	Assign	Assign	No assign	No assign	No assign	128ビットデータ
物理ハシク2	No assign	No assign	No assign	No assign	Assign	No assign	Assign	Assign	256ビットデータ
物理ハシク3	No assign								
物理ハシク4	No assign								
物理ハシク5	No assign								
物理ハシク6	No assign								
物理ハシク7	No assign								

(9)

特開2001-236790

【図6】

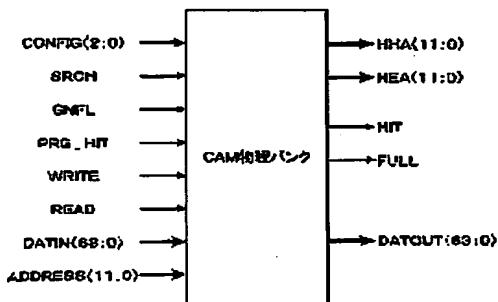
物理/リンク0	物理/リンク1	物理/リンク2	物理/リンク3	物理/リンク4	物理/リンク5	物理/リンク6	物理/リンク7	テーブルカタ
物理/リンク0	0	0	0	0	0	0	0	00000000
物理/リンク1	0	1	0	0	0	0	0	00001000
物理/リンク2	0	0	0	0	0	0	0	00000101
物理/リンク3	0	0	0	0	0	0	0	00000002
物理/リンク4	0	0	0	0	0	0	0	00000003
物理/リンク5	0	0	0	0	0	0	0	00000004
物理/リンク6	0	0	0	0	0	0	0	00000005
物理/リンク7	0	0	0	0	0	0	0	00000006

Ans[0]=“1”
Ans[1]=“0”

【図7】

物理/リンク0	物理/リンク1	物理/リンク2	物理/リンク3	物理/リンク4	物理/リンク5	物理/リンク6	物理/リンク7
物理/リンク0	ビット<0>	ビット<1>	ビット<2>	ビット<3>	ビット<4>	ビット<5>	ビット<6>
物理/リンク1	ビット<0>	ビット<1>	ビット<2>	ビット<3>	ビット<4>	ビット<5>	ビット<6>
物理/リンク2	ビット<1>	ビット<2>	ビット<3>	ビット<4>	ビット<5>	ビット<6>	ビット<7>
物理/リンク3	ビット<2>	ビット<3>	ビット<4>	ビット<5>	ビット<6>	ビット<7>	ビット<8>
物理/リンク4	ビット<3>	ビット<4>	ビット<5>	ビット<6>	ビット<7>	ビット<8>	ビット<9>
物理/リンク5	ビット<4>	ビット<5>	ビット<6>	ビット<7>	ビット<8>	ビット<9>	ビット<10>
物理/リンク6	ビット<5>	ビット<6>	ビット<7>	ビット<8>	ビット<9>	ビット<10>	ビット<11>
物理/リンク7	ビット<6>	ビット<7>	ビット<8>	ビット<9>	ビット<10>	ビット<11>	ビット<12>

【図8】



【図10】

物理/リンク	HHA<11:0>の選択について							
	H0	H1	物理/リンク1	物理/リンク2	物理/リンク3	物理/リンク4	物理/リンク5	物理/リンク6
0	X	X	X	X	X	X	X	X
1	0	X	X	X	X	X	X	X
2	1	0	X	X	X	X	X	X
3	1	1	0	X	X	X	X	X
4	1	1	1	0	X	X	X	X
5	1	1	1	1	0	X	X	X
6	1	1	1	1	1	0	X	X
7	1	1	1	1	1	1	0	X

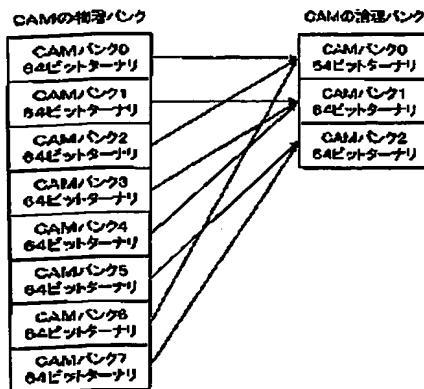
ビット番号“0”

Don't care“X”

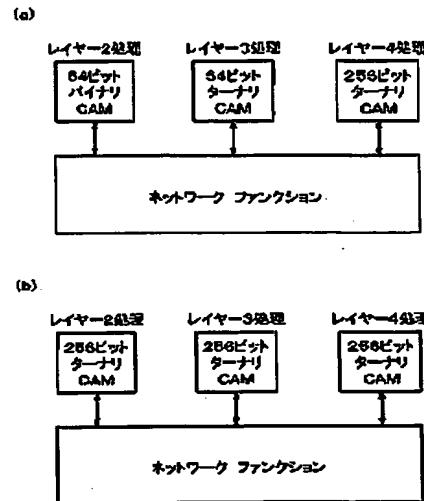
(10)

特開2001-236790

【図11】



【図12】



【図13】

